

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-288824

(43)Date of publication of application : 19.12.1991

(51)Int.Cl.

G02F 1/1333  
G02F 1/136

(21)Application number : 02-090963

(71)Applicant : SHARP CORP

(22)Date of filing : 05.04.1990

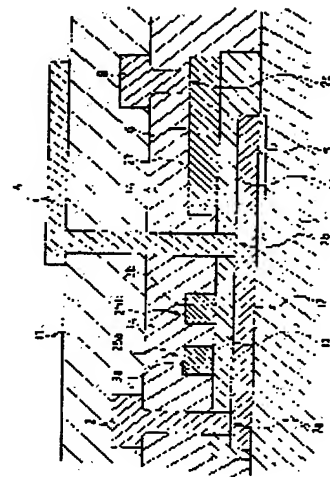
(72)Inventor : SHIMADA NAOYUKI  
MATSUSHIMA YASUHIRO  
TAKATO YUTAKA

## (54) ACTIVE MATRIX DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To attain the set up of the area of picture element electrodes to a large value and to obtain the image quality of high aperture rate and high accuracy by forming an inter-layer insulating film on the whole surface of a signal line and an additional capacity common wiring and then forming the picture element electrodes on the insulating film.

**CONSTITUTION:** This active matrix display device is provided with a pair of insulating bases, the picture element electrodes 4 arrayed like a matrix on the inside of either one of the bases 11 and the signal line wired between the electrodes 4 to supply a video signal. The inter-layer insulating film 17 is formed on the whole surface of the signal line 2 and the electrodes 4 are formed on the layer 17. Thereby, it is unnecessary to consider a patterning error at the time of forming the electrodes 4 and the total area of the electrodes 4 can be increased. Since light leakage from a gap between the signal line 2 and the electrode 4 or a gap between the additional capacity wiring 8 and the electrode 4 can be prevented, the superposition of a light shielding film to these gaps is unnecessary. Thus, the aperture rate can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国 許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-288824

⑫ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月19日

G 02 F

1/1333  
1/136

5 0 5  
5 0 0

8806-2K  
9018-2K

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 アクティブマトリクス表示装置

⑮ 特 願 平2-90963

⑯ 出 願 平2(1990)4月5日

⑰ 発 明 者 島 田 尚 幸 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑱ 発 明 者 松 島 康 浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発 明 者 高 藤 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 山本 秀策

(57) 【要約】

〔目的〕信号線及び付加容量共通配線上の全面に層間絶縁膜を形成し、層間絶縁膜の上に絵素電極を形成することにより、絵素電極の面積を大きく設定することができ、開口率が大きく高精細で高い画像品位が得られるようにする。

〔構成〕一対の絶縁性基板と、この何れか一方の基板11内面にマトリクス状に配列された絵素電極4と、絵素電極4間に配線され映像信号を供給する信号線2とを備えたアクティブマトリクス表示装置である。そしてこの信号線2上の全面に層間絶縁膜17を形成し、層間絶縁膜17上に絵素電極4を形成する。このため絵素電極4の形成に際してパターンニングの誤差を考慮する必要がなく、絵素電極4の面積を大きくすることができる。また信号線2及び絵素電極4の間隙からの光の漏れ又は付加容量共通配線8及び絵素電極4の間隙からの光の漏れが防止されるのでこれらの間隙に重畳して遮光膜を設ける必要がない。これにより開口率の向上を図ることができる。

【アクティブマトリクス表示装置 信号線 付加容量 共通配線 全面 層間絶縁膜 形成 画素電極 面積 大きさ 設定 開口率 高精細 高さ 画像 品位 1対 絶縁性 基板 一方 基板 内面 マトリクス 配列 配線 映像 信号 供給 パターン化 誤差 考慮 必要 間隙 光 漏れ 防止 重畳 遮光膜 向上】

(3)

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報(A) 平3-288824

⑫ Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑬ 公開 平成3年(1991)12月19日  
 G 02 F 1/1333 5 0 5 8806-2K  
 1/136 5 0 0 9018-2K

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 アクティブマトリクス表示装置

⑮ 特 願 平2-90963

⑯ 出 願 平2(1990)4月5日

⑰ 発 明 者 島 田 尚 幸 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
 内  
 ⑰ 発 明 者 松 島 康 浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
 内  
 ⑰ 発 明 者 高 藤 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
 内  
 ⑰ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
 ⑰ 代 理 人 弁理士 山本 秀策

## 明 細 書

## 1. 発明の名称

アクティブマトリクス表示装置

## 2. 特許請求の範囲

1. 一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された給索電極と、該給索電極間に配線され映像信号を供給する信号線と、を備えたアクティブマトリクス表示装置であって、

該信号線上の全面に層間絶縁膜が形成され、該層間絶縁膜上に該給索電極が形成されているアクティブマトリクス表示装置。

2. 前記給索電極の一部が前記信号線の一部に前記層間絶縁膜を介して重畳されている、請求項1に記載のアクティブマトリクス表示装置。

3. 一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された給索電極と、該給索電極間に配線され映像信号を供給する信号線と、該給索電極の電荷を保持するための付加容量と、該付加容量の一方の電極に接続

された付加容量共通配線と、を備えたアクティブマトリクス表示装置であって、

該信号線上の全面に層間絶縁膜が形成され、該層間絶縁膜上に該給索電極が形成され、該給索電極の一部が該付加容量共通配線の一部に重畳されているアクティブマトリクス表示装置。

4. 前記一方の基板上に、半導体層、ゲート絶縁膜、及びゲート電極が順次形成されたスタガ型の薄膜トランジスタを有し、該薄膜トランジスタのソース電極が前記信号線に接続され、該薄膜トランジスタのドレイン電極が前記給索電極に接続されている、請求項1から3の何れかに記載のアクティブマトリクス表示装置。

## 3. 発明の発明者説明

(産業上の利用分野)

本発明は、薄膜トランジスタ(以下では「TF T」と称す)等のスイッチング素子を有し、液晶等を表示媒体として用いたアクティブマトリクス表示装置に関する。

(従来の技術)

(5)

## 特開平3-288824(3)

したアクティブマトリクス表示装置が、特開平1-304402号に開示されている。

第5図に上記表示装置に用いられるTFTアレイの部分平面図を示す。第6図に第5図のVI-VI'線に沿った断面図を示す。第5図及び第6図を参照しながら、この表示装置を製造工程に従って説明する。前述のガラス基板11上の全面に、後に半導体層12及び容量用下部電極5となる多結晶シリコン薄膜がCVD法、スパッタリング法等によって形成される。多結晶シリコン薄膜のパターニングを行い、半導体層12及び容量用下部電極5が形成される。次に、CVD法、この多結晶シリコン薄膜上面の熱酸化等により、ゲート絶縁膜13が形成される。次に、容量用下部電極5の部分にイオン注入法によってドーピングを行い、低抵抗の容量用下部電極5が得られる。

次に、 $n^+$ 又は $p^+$ 型の多結晶シリコンによってゲートバス配線1、ゲート電極3a及び3b、並びに容量用上部電極6が形成される。容量用上部電極6と前述の容量用下部電極5との間で、付加

容量27が形成される。このゲート電極3a及び3bをマスクとし、且つ、フォトリソグラフィ法によって形成されたレジストをマスクとして、半導体層12のゲート電極3a及び3bの下方以外の部分にイオン注入が行なわれる。これにより、TFTのソース・ドレイン領域が自己整合的に形成される。

この基板上の全面に絶縁層14が形成される。次に、第5図に示すように3つのコンタクトホール7a、7b及び7cが形成される。コンタクトホール7a及び7bは、絶縁層14及び前述のゲート絶縁膜13を貫いて、半導体層12及び容量用下部電極5上にそれぞれ形成される。コンタクトホール7cは、絶縁層14を貫いて容量用上部電極6の端部の上に形成される。

次に、ソースバス配線2及び付加容量共通配線8が、Al金属等の低抵抗の金属を用いて同時に形成される。第5図に示すように、ソースバス配線2はコンタクトホール7a上で幅が広がった形状に形成されている。また、付加容量共通配線

8はコンタクトホール7c上で幅が広がった形状に形成されている。従って、ソースバス配線2はコンタクトホール7aを介して半導体層12に接続され、付加容量共通配線8はコンタクトホール7cを介して容量用上部電極6に接続されることになる。付加容量共通配線8は表示装置として完成した後は、対向基板上の対向電極と同じ電位の電極に接続される。

更に、ITOから成る絵素電極4がパターン形成される。第5図に示すように、絵素電極4の一部はコンタクトホール7b上に延びている。従って、絵素電極4はコンタクトホール7bを介して半導体層12に接続される。さらにこの基板の全面に保護層15が形成される。

このアクティブマトリクス表示装置の付加容量27は、容量用上部電極6と容量用下部電極5との間に、薄いゲート絶縁膜13を有しているのので、付加容量27の単位面積当りの容量を大きくすることができる。従って、表示画面上に占める付加容量27の面積を小さくすることができ、表示画

面の開口率の低下を防止することができる。

表示画面の高精細化が更に進むと、絵素電極を更に小さくすることが必要となる。ところが、ある程度以上絵素電極の面積が小さくなると、絵素電極の大きさに比例して、ゲートバス配線1及びソースバス配線2の幅、TFT25a、25bの大きさ等を小さくすることができなくなる。従って、表示画面の開口率が小さくなり、表示画面が暗くなるという問題が生じる。

アクティブマトリクス表示装置の画面の明るさは、アクティブマトリクス基板上での絵素電極4の面積に単純に比例するものではない。絵素電極4上の液晶層には表示に対応した電界が存在し、液晶分子はこの電界に従って配向している。しかし、絵素電極4上以外の部分の液晶層には電界が加えられないため、液晶分子の配向が乱れている。アクティブマトリクス型のLCDに最もよく用いられているフィスティアッドネマティックモードでは、通常、白を表示した場合に複屈折の影響が小さいノーマリホワイト方式が用いられている。こ

(7)

## 特開平3-288824(5)

D法によって形成した。本実施例の表示装置にはスタガ型のTFTが用いられる。次に、CVD法、スパッタリング法、又はこの多結晶シリコン薄膜上面の熱酸化により、後にゲート絶縁膜13となる絶縁膜を形成した。ゲート絶縁膜13の厚さは100nmである。次に、上記多結晶シリコン薄膜及び絶縁膜のパターニングを行い、半導体層12及び容量用下部電極5を第1図に示す形状で形成した。上述のゲート絶縁膜13の形成を半導体層12及び容量用下部電極5のパターン形成の後に行ってもよい。また、絶縁膜の形成前に、多結晶シリコン薄膜の結晶性を高めるため、レーザアニール、真空雰囲気中でのアニール等の処理を行うことも可能である。次に、容量用下部電極5の部分にイオン注入を行い、低抵抗の容量用下部電極5を得た。

次に、後にゲートバス配線1、ゲート電極3a及び3b、並びに容量用上部電極6となる多結晶シリコン薄膜をCVD法によって形成し、ドーピングを行った。これにより、低抵抗の多結晶シリ

コン薄膜が得られた。その後、低抵抗多結晶シリコン薄膜のパターニングによって、第1図に示す形状のゲートバス配線1、2つのゲート電極3a及び3b、並びに容量用上部電極6を形成した。容量用上部電極6と前述の容量用下部電極5との間で、付加容量27が形成される。このゲート電極3a及び3bをマスクとし、且つ、フォトリソグラフィ法によって形成されたレジストをマスクとして、ゲート電極3a及び3bの下方以外の半導体層12の部分にイオン注入を行った。これにより、TFT25a及び25bのソース・ドレイン領域が形成される。

この基板上の全面に、シリコン酸化膜又はシリコン窒化膜をCVD法によって700nmの厚さに増積させて絶縁層14を形成した。次に、第1図に示すように2つのコンタクトホール7a及び7cを形成した。絶縁層14として不純物をドーブしたシリコン酸化膜を用いると、この不純物ドーブシリコン酸化膜の軟化点が高いので、約1000℃に加熱することにより、絶縁層14の上面を

平坦にすることができる。絶縁層14の上面が平坦であると、その上に形成される金属配線の断線を防止することができる。第2図に示すように、コンタクトホール7aは絶縁層14及び前述のゲート絶縁膜13を貫いて、半導体層12上に形成されている。コンタクトホール7cは、絶縁層14を貫いて容量用上部電極6の端部の上に形成されている。

次に、信号線として機能するソースバス配線2と、付加容量共通配線8とを、Al金属等の低抵抗の金属を用いて同時に形成した。第1図に示すように、ソースバス配線2はコンタクトホール7a上を通り、コンタクトホール7b上で幅が広がった形状に形成されている。また、付加容量共通配線8はコンタクトホール7c上を通り、コンタクトホール7c上で幅が広がった形状に形成されている。従って、ソースバス配線2はコンタクトホール7aを介して半導体層12に接続されることになる。付加容量共通配線8はコンタクトホール7cを介して容量用上部電極6に接続され

ることになる。付加容量共通配線8は表示装置として完成した後には、対向基板上的対向電極と同じ電位の電極に接続される。

次に、この基板上の全面に、シリコン酸化膜又はシリコン窒化膜をCVD法によって増積させて層間絶縁膜17を形成した。次に、層間絶縁膜17にコンタクトホール7bを形成した。第2図に示すように、コンタクトホール7bは層間絶縁膜17、絶縁層14、及びゲート絶縁膜13を貫いて、半導体層12及び容量用下部電極5上に形成される。

更に、ITOから成る読取電極4をパターン形成した。第1図に示すように、読取電極4は、ソースバス配線2及び付加容量共通配線8上に重なるように形成されている。また、読取電極4はコンタクトホール7b及び7c上、並びに付加容量27上にも形成されている。この読取電極4はコンタクトホール7bを介して半導体層12に接続される。

本実施例では、読取電極4とソースバス配線2、

(9)

特開平3-288824(7)

第1図

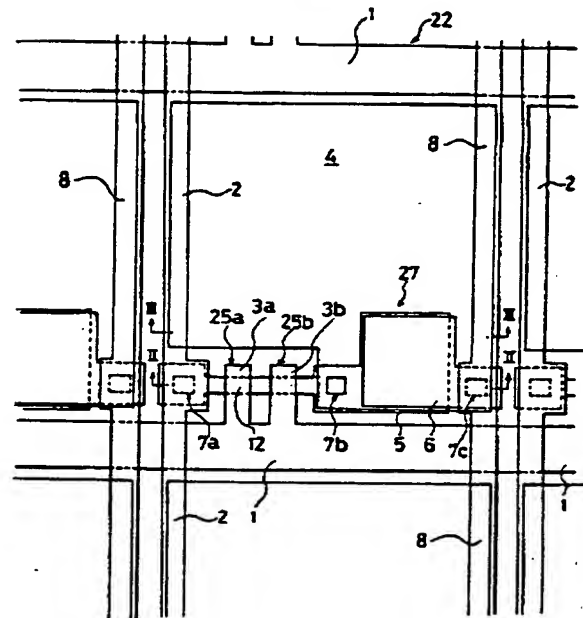
の表示装置に用いられるアクティブマトリクス基板のTFTアレイ部の部分平面図、第6図は第5図のVI-VI線に沿った断面図である。

1—ゲートバス配線、2—ソースバス配線、3 a、3 b—ゲート電極、4—陰極電極、5—容量用下部電極、6—容量用上部電極、7 a、7 b、7 c—コンタクトホール、8—付加容量共通配線、11—透明絶縁性基板、12—半導体層、13—ゲート絶縁膜、14—絶縁層、17—層間絶縁膜、22—TFTアレイ部、25 a、25 b—TFT、27—付加容量。

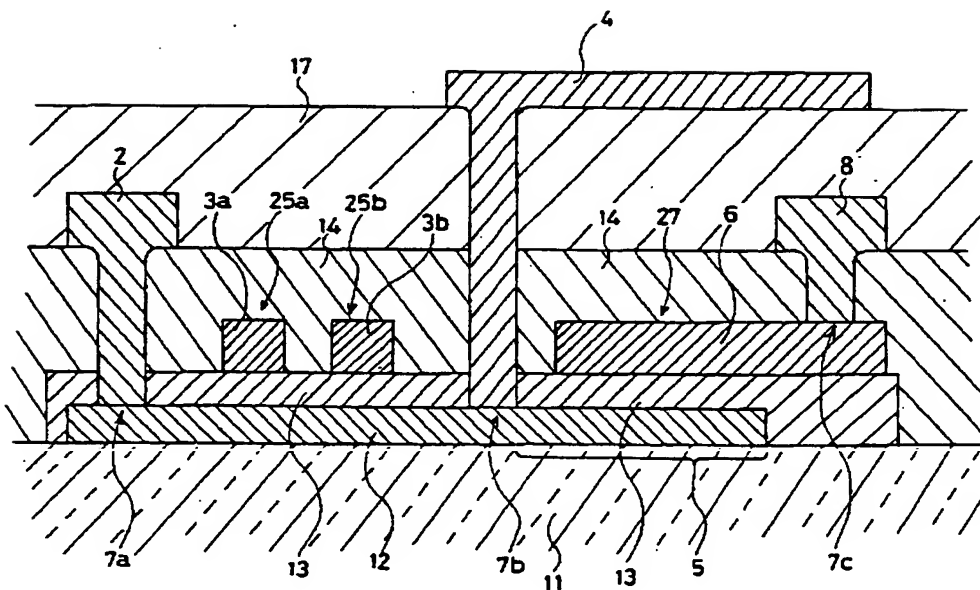
以上

出願人 シャープ株式会社

代理人 弁理士 山本秀敏



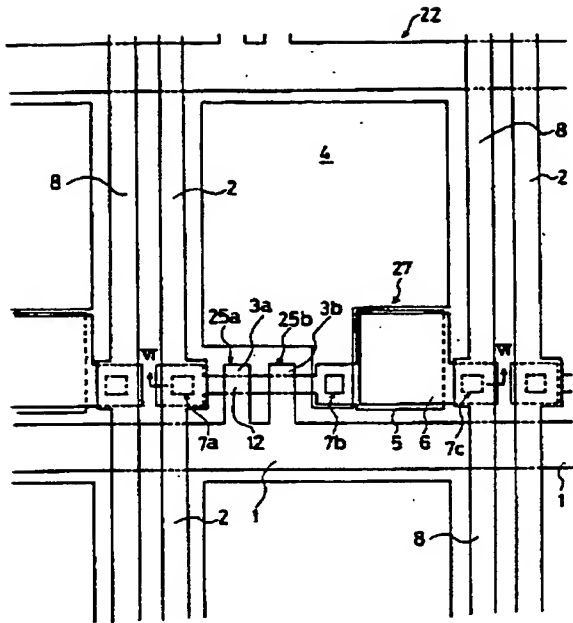
第2図



(11)

特開平3-288824(9)

第 5 圖



第 6 圖

